

Docket No.: 67161-117

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Shinji TANAKA	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: October 10, 2003	:	Examiner: Unknown
	:	
For:		SEMICONDUCTOR MEMORY DEVICE INPUTTING/OUTPUTTING DATA AND PARITY DATA IN BURST OPERATION

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

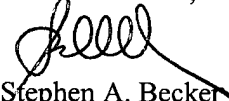
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-037716, filed February 17, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:tlb
Facsimile: (202) 756-8087
Date: October 10, 2003

日本国特許庁
JAPAN PATENT OFFICE

67161-117
TANAKA
October 10, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 2月17日

出願番号

Application Number:

特願2003-037716

[ST.10/C]:

[JP2003-037716]

出願人

Applicant(s):

三菱電機株式会社

2003年 3月14日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2003-3016309

【書類名】 特許願

【整理番号】 542714JP01

【提出日】 平成15年 2月17日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/16
G06F 11/10
G11C 29/00

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社
社内

【氏名】 田中 信二

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置およびその制御装置

【特許請求の範囲】

【請求項 1】 バースト動作によってデータの入出力を行なう半導体記憶装置であって、

複数のメモリセルを有するメモリセルアレイと、

ロウアドレスをデコードするロウデコーダと、

カラムアドレスをデコードする第 1 のカラムデコーダと、

パリティ用のカラムアドレスをデコードする第 2 のカラムデコーダと、

前記メモリセルアレイに対するパリティデータの入出力が、前記メモリセルアレイに対する前記パリティデータに対応するデータの入出力のタイミングと異なるように、前記第 1 のカラムデコーダおよび前記第 2 のカラムデコーダを制御する制御手段とを含む、半導体記憶装置。

【請求項 2】 前記制御手段は、前記第 1 のカラムデコーダを制御して所定回のバースト動作によるデータの書込みの制御を行なった後に、前記第 2 のカラムデコーダを制御して当該データに対応するパリティデータの書込みの制御を行なう、請求項 1 記載の半導体記憶装置。

【請求項 3】 前記制御手段は、前記第 2 のカラムデコーダを制御してパリティデータの読出しの制御を行なった後に、前記第 1 のカラムデコーダを制御して所定回のバースト動作による当該パリティデータに対応するデータの読出しの制御を行なう、請求項 1 または 2 記載の半導体記憶装置。

【請求項 4】 前記第 2 のカラムデコーダは、前記第 1 のカラムデコーダによってデコードされるアドレスの一部をデコードする、請求項 1 ～ 3 のいずれかに記載の半導体記憶装置。

【請求項 5】 バースト動作によってデータの入出力を行なう半導体記憶装置を制御する制御装置であって、

前記半導体記憶装置に対して入出力するパリティデータを保持して所定ビット単位でシフトするバッファと、

前記半導体記憶装置に対する所定回のバースト動作で書込まれるデータのパリ

ティデータを計算して前記バッファに順次所定ビット単位で格納し、前記半導体記憶装置に対する所定回のバースト動作で読出されるデータに応じて前記バッファから順次所定ビット単位でパリティデータを読出してエラーの補正を行なう演算手段と、

前記バッファに対するパリティデータの入出力を制御するスイッチング手段とを含む、制御装置。

【請求項 6】 前記スイッチング手段は、前記半導体記憶装置に対する所定回のバースト書込みが終了した後に、前記バッファに格納される当該データに対応したパリティデータを出力する、請求項 5 記載の制御装置。

【請求項 7】 前記スイッチング手段は、前記半導体記憶装置に対する所定回のバースト読出しが行なわれる前に、当該データに対応したパリティデータを前記バッファに出力する、請求項 5 または 6 記載の制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ECC (Error Checking and Correcting) 機能に対応した半導体記憶装置に関し、特に、メモリバス幅を削減することが可能な半導体記憶装置およびそれを制御する制御装置に関する。

【0002】

【従来の技術】

近年、コンピュータの処理速度が著しく高速になり、それに伴ってコンピュータの信頼性を向上させるための機能が必要になってきている。その機能の 1 つとして、ECC 機能を挙げることができる。高信頼性が要求されるコンピュータにおいては、主記憶に ECC 機能に対応したものが使用される場合が多い。これによって、エラーが発生した場合にはパリティデータによるエラーを補正することができる。

【0003】

たとえば、64 ビットの本来のデータに 8 ビットのパリティデータを付加することにより、72 ビットのうちの任意の 1 ビットのエラーを補正することができ

ると共に、2ビット以上のエラーを検出することが可能となる。

【0004】

これに関する技術として、特開平11-65944号公報に開示された発明がある。この特開平11-65944号公報に開示されたデータ誤り検出回路は、nビットのバーストエラーの検出機能を持つECC回路をk個備える構成を採り、各メモリ素子から出力されるmビットのデータをk個に分割して、それらをk個用意される別々のECC回路に入力するように構成する。これによって、メモリ装置を構成するメモリ素子の出力ビット数が増加するときでも、メモリ素子の出力ビット数が少ないときに使用されるECC回路を使って、メモリ素子の故障発生を検出できるようになる。

【0005】

【特許文献1】

特開平11-65944号公報

【0006】

【発明が解決しようとする課題】

しかし、上述した特開平11-65944号公報に開示されたデータ誤り検出回路においては、メモリ素子の出力ビット数が増加する場合に対応することができ、メモリバス幅自体を削減することはできない。したがって、システムにECC機能を付加するとメモリバス幅が増加してしまうため、小型のシステムにECC機能を付加することが困難であるといった問題点があった。

【0007】

本発明は、上記問題点を解決するためになされたものであり、第1の目的は、メモリバス幅を増加させることなくECC機能に対応した半導体記憶装置を提供することである。

【0008】

第2の目的は、メモリバス幅を増加させることなくECC機能に対応した半導体記憶装置を制御する制御装置を提供することである。

【0009】

【課題を解決するための手段】

本発明のある局面に係る半導体記憶装置は、バースト動作によってデータの入出力を行なう半導体記憶装置であって、複数のメモリセルを有するメモリセルアレイと、ロウアドレスをデコードするロウデコーダと、カラムアドレスをデコードする第1のカラムデコーダと、パリティ用のカラムアドレスをデコードする第2のカラムデコーダと、メモリセルアレイに対するパリティデータの入出力が、メモリセルアレイに対するパリティデータに対応するデータの入出力のタイミングと異なるように、第1のカラムデコーダおよび第2のカラムデコーダを制御する制御手段とを含む。

【 0 0 1 0 】

本発明の別の局面に係る制御装置は、バースト動作によってデータの入出力を行なう半導体記憶装置を制御する制御装置であって、半導体記憶装置に対して入出力するパリティデータを保持して所定ビット単位でシフトするバッファと、半導体記憶装置に対する所定回のバースト動作で書込まれるデータのパリティデータを計算してバッファに順次所定ビット単位で格納し、半導体記憶装置に対する所定回のバースト動作で読出されるデータに応じてバッファから順次所定ビット単位でパリティデータを読出してエラーの補正を行なう演算手段と、バッファに対するパリティデータの入出力を制御するスイッチング手段とを含む。

【 0 0 1 1 】

【発明の実施の形態】

図1は、ECC機能を付加したシステムの一例を示す図である。このシステムは、CPU (Central Processing Unit) 1と、ECC演算機能を有するメモリ制御装置2と、メモリ3とを含む。CPU 1とメモリ制御装置2との間のデータバス（主データ）幅は64ビットである。また、メモリ制御装置2とメモリ3との間のメモリバス幅は72ビット（主データが64ビット、パリティデータが8ビット）である。

【 0 0 1 2 】

メモリ制御装置2は、ECC演算部21を含む。データ書込みに時において、ECC演算部21は、CPU 1から出力された64ビットの主データから8ビットのパリティデータを演算する。そして、メモリ制御装置2は、メモリ3に対し

て 6 4 ビットの主データと 8 ビットのパリティデータとを出力する。

【 0 0 1 3 】

また、データ読出し時において、E C C 演算部 2 1 は、メモリ 3 から読出された 6 4 ビットの主データと 8 ビットのパリティデータとを用いてエラー検出を行ない、エラーが発生した場合にはエラー補正を行って 6 4 ビットの主データを C P U 1 へ出力する。

【 0 0 1 4 】

図 2 は、メモリ 3 の一例である S D R A M (S y n c h r o n o u s D y n a m i c R a n d o m A c c e s s M e m o r y) の構成を示す図である。S D R A M は、バースト動作と呼ばれる連続した複数のデータを連続して入出力する機能を有している。この S D R A M は、8 ビットの D Q (データ入出力) 端子と 1 ビットのパリティ入出力端子とを有するメモリデバイスが 8 個搭載されたメモリモジュールによって構成される。図 2 においては、データ D 0 ～ 7 が入出力されるメモリデバイスを示している。

【 0 0 1 5 】

図 2 に示すように、S D R A M 3 は、メモリ制御装置 2 からコマンドを受けて S D R A M 3 の全体的な制御を行なう制御回路 3 1 と、メモリセルアレイ 3 2 と、ロウデコーダ 3 3 と、カラムデコーダ 3 4 とを含む。ロウデコーダ 3 3 は、制御回路 3 1 からロウアドレスを受けて、ワード線 (W L) 0 ～ 5 1 1 のいずれかをアクティブにする。また、カラムデコーダ 3 4 は、制御装置 3 1 からカラムアドレスを受けて、共通ソース線 (C S L) 0 ～ 5 1 1 のいずれかをアクティブにする。

【 0 0 1 6 】

ロウデコーダ 3 3 およびカラムデコーダ 3 4 によって選択されたメモリセルに対する書込み／読出しが可能になる。このメモリデバイスは、8 回のバースト動作で 5 1 2 ビットの主データおよび 6 4 ビットのパリティデータの書込み／読出しが行なわれる。

【 0 0 1 7 】

図 1 に示すシステムにおいては、6 4 ビットの主データに 8 ビットのパリティデータが付加されるので、バス幅が 7 2 ビットになってしまい、この構成を小型

のシステムに採用することが困難である。以下に、この問題点を解決するシステムについて説明する。

【0018】

図3は、本発明の実施の形態におけるECC機能を付加したシステムの一例を示す図である。このシステムは、CPU1と、ECC演算機能を有するメモリ制御装置4と、メモリ5とを含む。CPU1とメモリ制御装置4との間のデータバス（主データ）幅は64ビットである。また、メモリ制御装置4とメモリ5との間のメモリバス（主データ）幅も64ビットである。

【0019】

図4は、本発明の実施の形態におけるメモリ制御装置4の概略構成を示すブロック図である。このメモリ制御装置4は、メモリ5に対して制御信号を出力することによりデータの入出力を制御し、ECC演算機能を有するECC演算部41と、データD0～63のスイッチング制御を行なうスイッチング部43と、パラレルデータをシリアルデータに変換するパラレルーシリアル変換用バッファ（以下、P/S変換用バッファと略す。）42とを含む。

【0020】

メモリ制御部4においては、64ビットのメモリバスが8ビットの8グループに分割される。CPU1がメモリ5に対してバーストでデータを書込んでいる間は、スイッチング部43が非導通となり、ECC演算部41が演算した8ビットのパリティデータが順次P/S変換用バッファ42に格納されて、8ビット単位でシフトされる。そして、CPU1がメモリ5に対するデータの書込みを終了したときに、スイッチング部43が導通して64ビットのパリティデータがメモリ5へ出力される。

【0021】

また、メモリ5から64ビットのパリティデータが出力されているときに、スイッチング部43が導通し、64ビットのパリティデータが8ビットずつP/S変換用バッファ42に格納される。そして、CPU1がメモリ5からバーストでデータを読出している間、ECC演算部41は、P/S変換用バッファ42から出力される8ビットのパリティデータを参照してエラーの検出および補正を行な

う。なお、メモリ制御装置 4 の動作の詳細は、後述する。

【 0 0 2 2 】

図 5 は、本発明の実施の形態におけるメモリ 5 の一例である S D R A M の概略構成を示す図である。S D R A M 5 は、バースト機能を有しており、クロックに同期して動作を行なう。この S D R A M は、8 ビットの D Q（データ入出力）端子を有するメモリデバイスが 8 個搭載されたメモリモジュールによって構成される。図 5 においては、データ D 0 ～ 7 が入出力されるメモリデバイスを示している。

【 0 0 2 3 】

図 5 に示すように、S D R A M 5 は、メモリ制御装置 4 からコマンドを受けて S D R A M 5 の全体的な制御を行なう制御回路 5 1 と、メモリセルアレイ 5 2 と、ロウデコーダ 5 3 と、カラムデコーダ 5 4 と、パリティカラムデコーダ 5 5 とを含む。ロウデコーダ 5 3 は、制御回路 5 1 からロウアドレスを受けて、ワード線（W 1）0 ～ 5 1 1 のいずれかをアクティブにする。

【 0 0 2 4 】

カラムデコーダ 5 4 は、制御回路 5 1 からカラムアドレス（A 0 ～ 8）を受けて、C S L 0 ～ 5 1 1 のいずれかをアクティブにする。また、パリティカラムデコーダ 5 5 は、制御回路 5 1 からパリティカラムアドレス（A 3 ～ 8）を受けて、パリティ C S L 0 ～ 6 3 のいずれかをアクティブにする。

【 0 0 2 5 】

ロウデコーダ 5 3 およびカラムデコーダ 5 4 によって選択されたメモリセルに対するデータの書込み／読出しが可能になる。このメモリデバイスは、8 回のバースト動作で 5 1 2 ビットの主データおよび 6 4 ビットのパリティデータの書込み／読出しが行なわれる。また、ロウデコーダ 5 3 およびパリティカラムデコーダ 5 5 によって選択されたメモリセルに対するパリティの書込み／読出しが可能になる。

【 0 0 2 6 】

この S D R A M 5 は、C P U 1 がバーストでデータを書込むときは、8 回のバースト書込みが終了した後に 6 4 ビットのパリティデータの書込みが行なわれる

。また、CPU 1 がバーストでデータを読出すときは、SDRAM 5 が最初に 64 ビットのパリティデータを出力し、その後で 8 回のバースト読出しが行なわれる。

【0027】

図 6 は、SDRAM 5 の書込み動作を説明するためのタイミングチャートである。このタイミングチャートを参照しながら、メモリ制御装置 4 および SDRAM 5 の書込み動作について説明する。

【0028】

まず、制御回路 51 がメモリ制御装置 4 から活性化 (ACT) コマンドおよびロウアドレス “01” を受けると、ロウデコーダ 53 は WL 01 をアクティブにする (T1)。

【0029】

次に、制御回路 51 がメモリ制御装置 4 から書込み (WRT) コマンド、カラムアドレス “08” および書込みデータ (バースト 1 に対応した 64 ビットデータ) を受けると、カラムデコーダ 54 は CSL 08 をアクティブにしてメモリセルアレイ 52 への書込み動作を行なう (T3)。このとき、ECC 演算部 41 は、8 ビットのパリティデータを計算し、P/S 変換用バッファ (P8) 42 に書込む。

【0030】

その後、クロックに同期して CSL 09 ~ 15 が順次アクティブとなってバースト書込み (バースト 2 ~ 8) が行なわれる (T4 ~ T10)。この間、ECC 演算部 41 は、8 ビットのパリティデータの計算を 7 回行ない、順次 P/S 変換用バッファ 42 に書込んでシフトさせる。T10 において、P/S 変換用バッファ 42 に 64 ビットのパリティデータが全て揃うことになる。

【0031】

次に、パリティカラムデコーダ 55 が PCSL 1 をアクティブにすることにより、メモリ制御装置 4 から出力される 64 ビットのパリティデータをメモリセルアレイ 52 に書込む (T11)。このとき、スイッチング部 43 が導通し、P/S 変換用バッファ 42 に格納される 64 ビットのパリティデータが D0 ~ D63

に出力される。

【 0 0 3 2 】

最後に、制御回路 5 1 がメモリ制御装置 4 からプリチャージ (PRE) コマンドを受けると、ロウデコーダ 5 3 が WL 0 1 を非アクティブにして、プリチャージが行なわれる (T 1 3)。

【 0 0 3 3 】

図 7 は、SDRAM 5 の読出し動作を説明するためのタイミングチャートである。このタイミングチャートを参照しながら、メモリ制御装置 4 および SDRAM 5 の読出し動作について説明する。

【 0 0 3 4 】

まず、制御回路 5 1 がメモリ制御装置 4 から活性化 (ACT) コマンドおよびロウアドレス “0 1” を受けると、ロウデコーダ 5 3 は WL 0 1 をアクティブにする (T 1)。

【 0 0 3 5 】

次に、制御回路 5 1 がメモリ制御装置 4 から読出し (READ) コマンド、カラムアドレス “0 8” を受けると、パリティカラムデコーダ 5 5 は PCSL 0 1 をアクティブにしてメモリセルアレイ 5 2 から 6 4 ビットのパリティデータを読出す (T 3)。このとき、スイッチング部 4 3 が導通し、P/S 変換用バッファ 4 2 に 6 4 ビットのパリティデータが書込まれる。

【 0 0 3 6 】

次に、カラムデコーダ 5 4 は CSL 0 8 をアクティブにして、メモリセルアレイ 5 2 から 6 4 ビットデータ (バースト 1 に対応したデータ) を読出す (T 4)。このとき、スイッチング部 4 3 が非導通となり、ECC 演算部 4 1 は P/S 変換用バッファ 4 2 から出力される 8 ビットのパリティデータを参照して、SDRAM 5 から出力される 6 4 ビットデータのエラー検出および補正を行なう。

【 0 0 3 7 】

その後、クロックに同期して CSL 0 9 ~ 1 5 が順次アクティブとなってバースト読出し (バースト 2 ~ 8) が行なわれる (T 5 ~ T 1 1)。この間、ECC 演算部 4 1 は、P/S 変換用バッファ 4 2 から順次出力される 8 ビットのパリティ

イデータを参照して、SDRAM5から出力される64ビットデータのエラー検出および補正を順次7回行なう。

【0038】

最後に、制御回路51がメモリ制御装置4からプリチャージ(PRE)コマンドを受けると、ロウデコーダ53がWL01を非アクティブにして、プリチャージが行なわれる(T13)。

【0039】

以上説明したように、本実施の形態におけるメモリ5によれば、データ書込み時において、8回の64ビットバースト書込みが終了した後に64ビットのパリティデータを書込み、データ読出し時において、まず64ビットのパリティデータの読出しを行なった後に8回の64ビットバースト読出しを行なうようにしたので、メモリバス幅を増加させることなくECC機能に対応することが可能となった。

【0040】

また、本実施の形態におけるメモリ制御装置4によれば、データ書込み時において、8回の64ビットバースト書込み中に順次8ビットのパリティデータを8回計算し、バースト書込みが終了した後に64ビットのパリティデータを出力し、データ読出し時において、まず64ビットのパリティデータをP/S変換用バッファ42に格納した後、8回の64ビットバースト読出し中に順次エラーの検出および補正を行なうようにしたので、上記効果を奏するメモリ5を制御することが可能となった。

【0041】

今回開示された実施の形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0042】

【発明の効果】

本発明のある局面に係る半導体記憶装置によれば、制御部が、メモリセルアレ

イに対するパリティデータの入出力が、メモリセルアレイに対するパリティデータに対応するデータの入出力のタイミングと異なるように、第1のカラムデコーダおよび第2のカラムデコーダを制御するので、パリティデータの入出力用端子が不要となり、メモリバス幅を増加させることなくECC機能に対応させることが可能となった。

【0043】

本発明の別の局面に係る制御装置によれば、演算手段が、半導体記憶装置に対する所定回のバースト動作で書込まれるデータのパリティデータを計算してバッファに順次所定ビット単位で格納し、半導体記憶装置に対する所定回のバースト動作で読出されるデータに応じてバッファから順次所定ビット単位でパリティデータを読出してエラーの補正を行なうので、メモリバス幅を増加させることなくECC機能に対応した半導体記憶装置を制御することが可能となった。

【図面の簡単な説明】

【図1】 ECC機能を付加したシステムの一例を示す図である。

【図2】 メモリ3の一例であるSDRAMの構成を示す図である。

【図3】 本発明の実施の形態におけるECC機能を付加したシステムの一例を示す図である。

【図4】 本発明の実施の形態におけるメモリ制御装置4の概略構成を示すブロック図である。

【図5】 本発明の実施の形態におけるメモリ5の一例であるSDRAMの概略構成を示す図である。

【図6】 SDRAM5の書込み動作を説明するためのタイミングチャートである。

【図7】 SDRAM5の読出し動作を説明するためのタイミングチャートである。

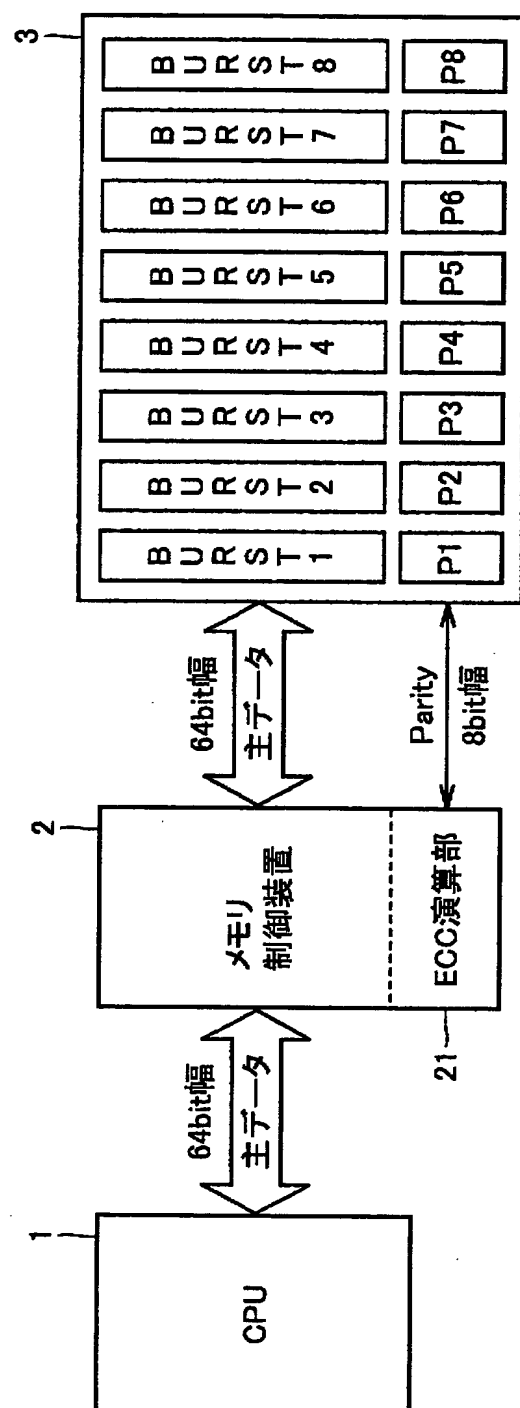
【符号の説明】

1 CPU、2, 4 メモリ制御装置、3, 5 メモリ、21, 41 ECC演算部、31, 51 制御回路、32, 52 メモリセルアレイ、33, 53 ロウデコーダ、34, 54 カラムデコーダ、42 P/S変換用バッファ、4

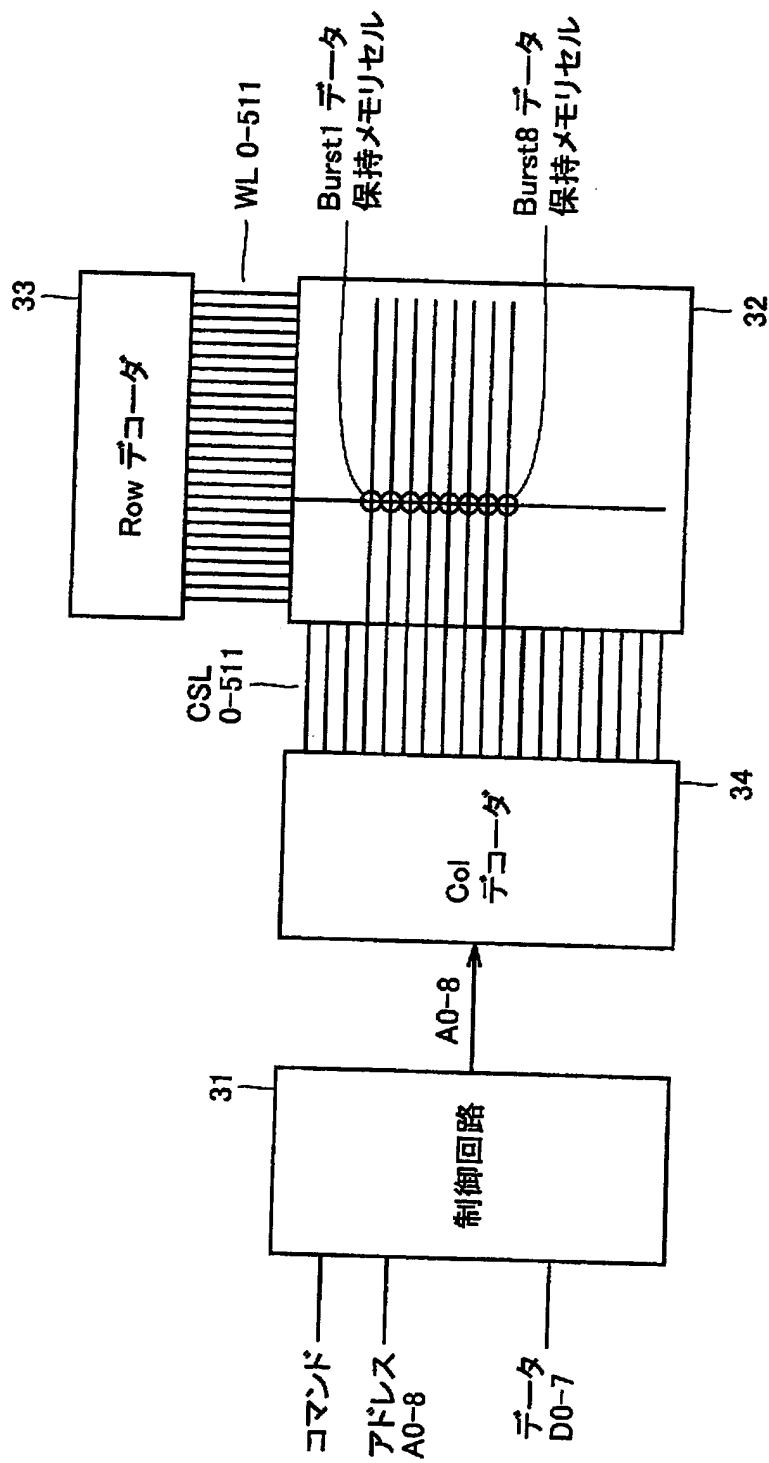
3 スイッチング部、5 5 パリティカラムデコーダ。

【書類名】 図面

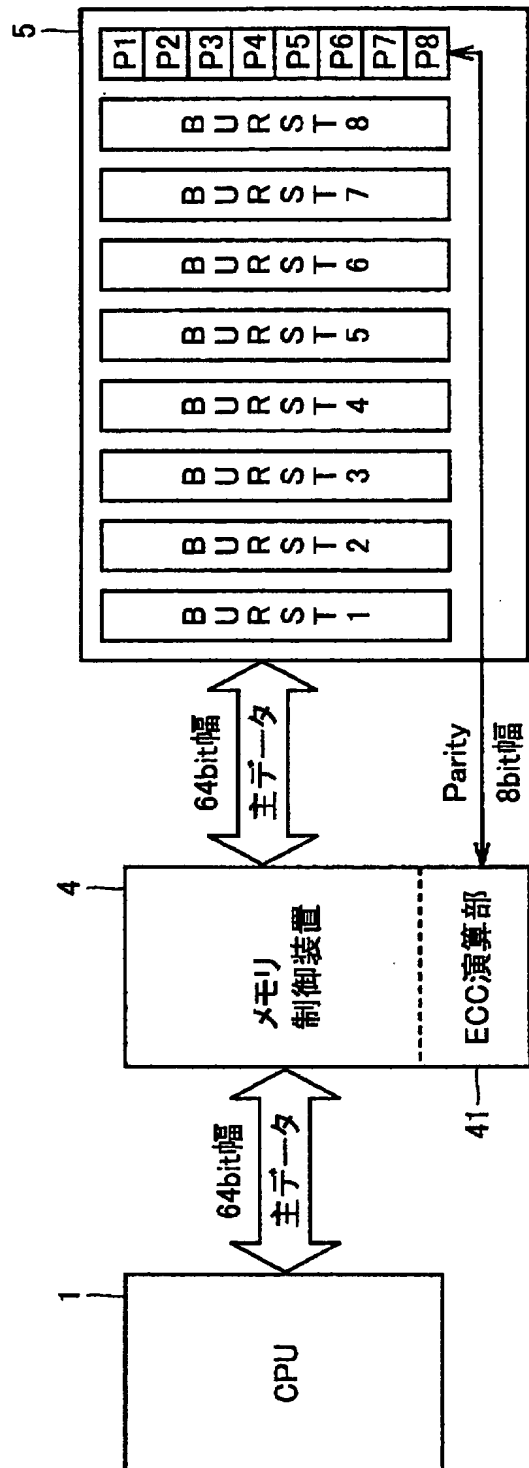
【図 1】



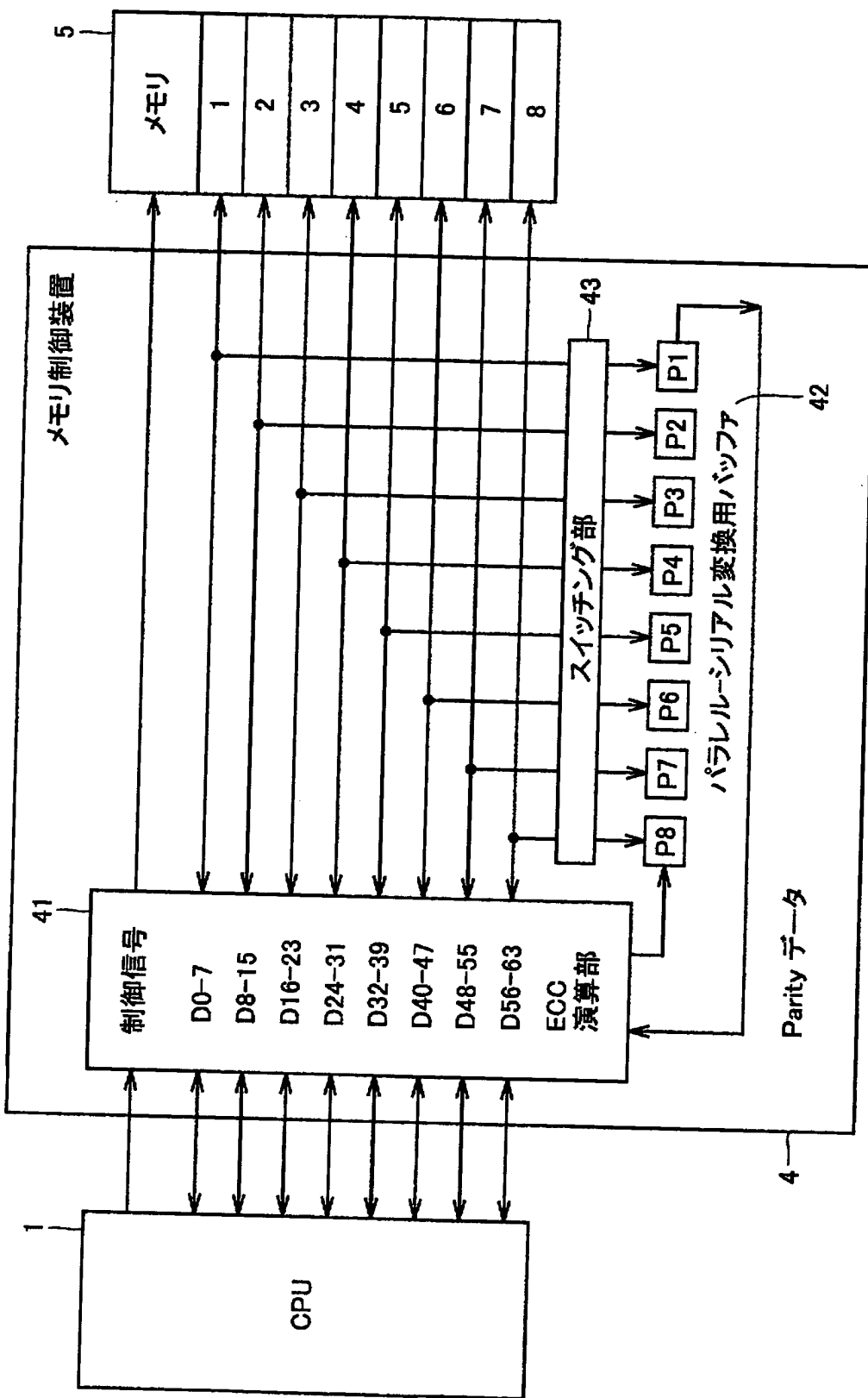
【図 2】



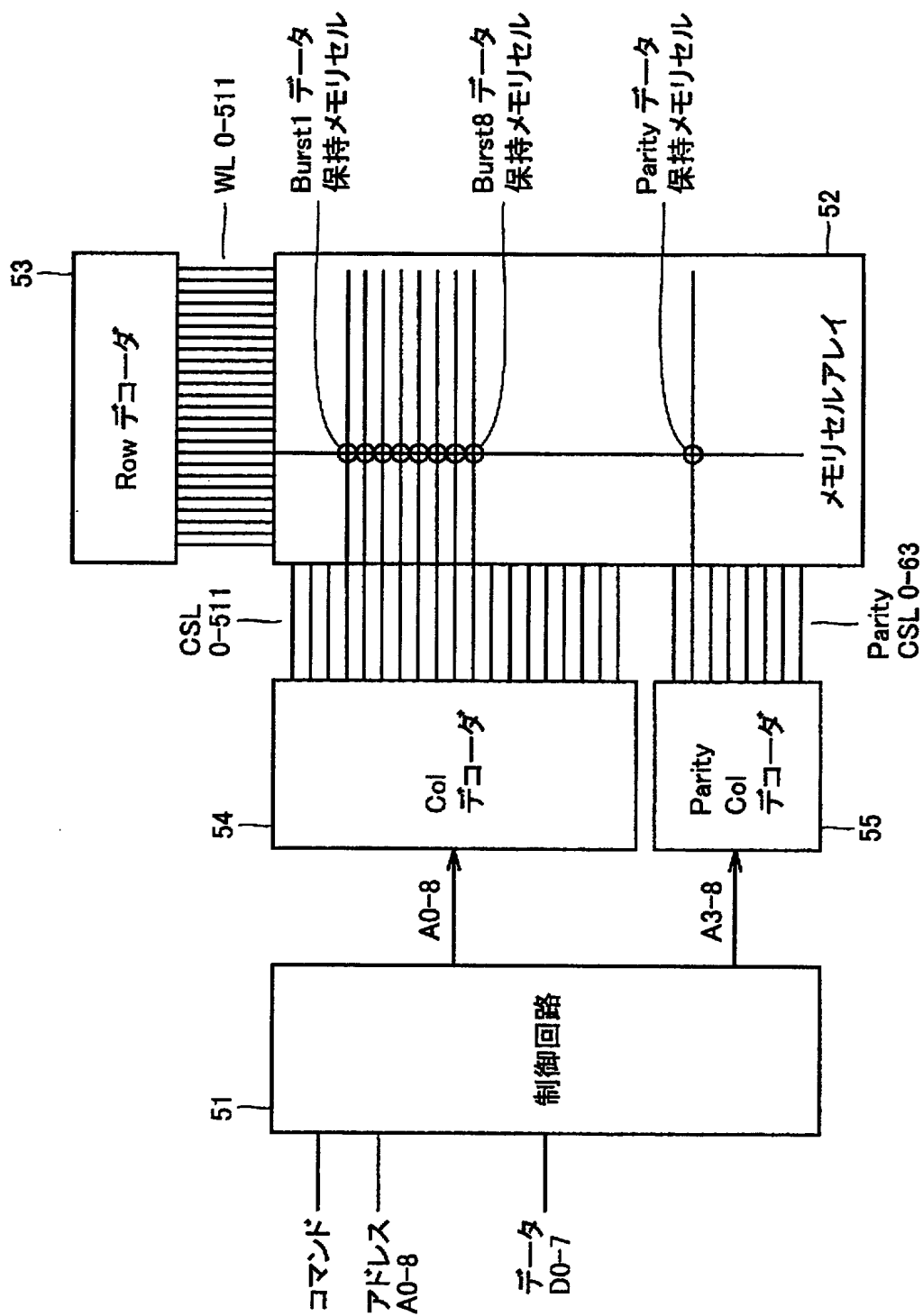
【図 3】



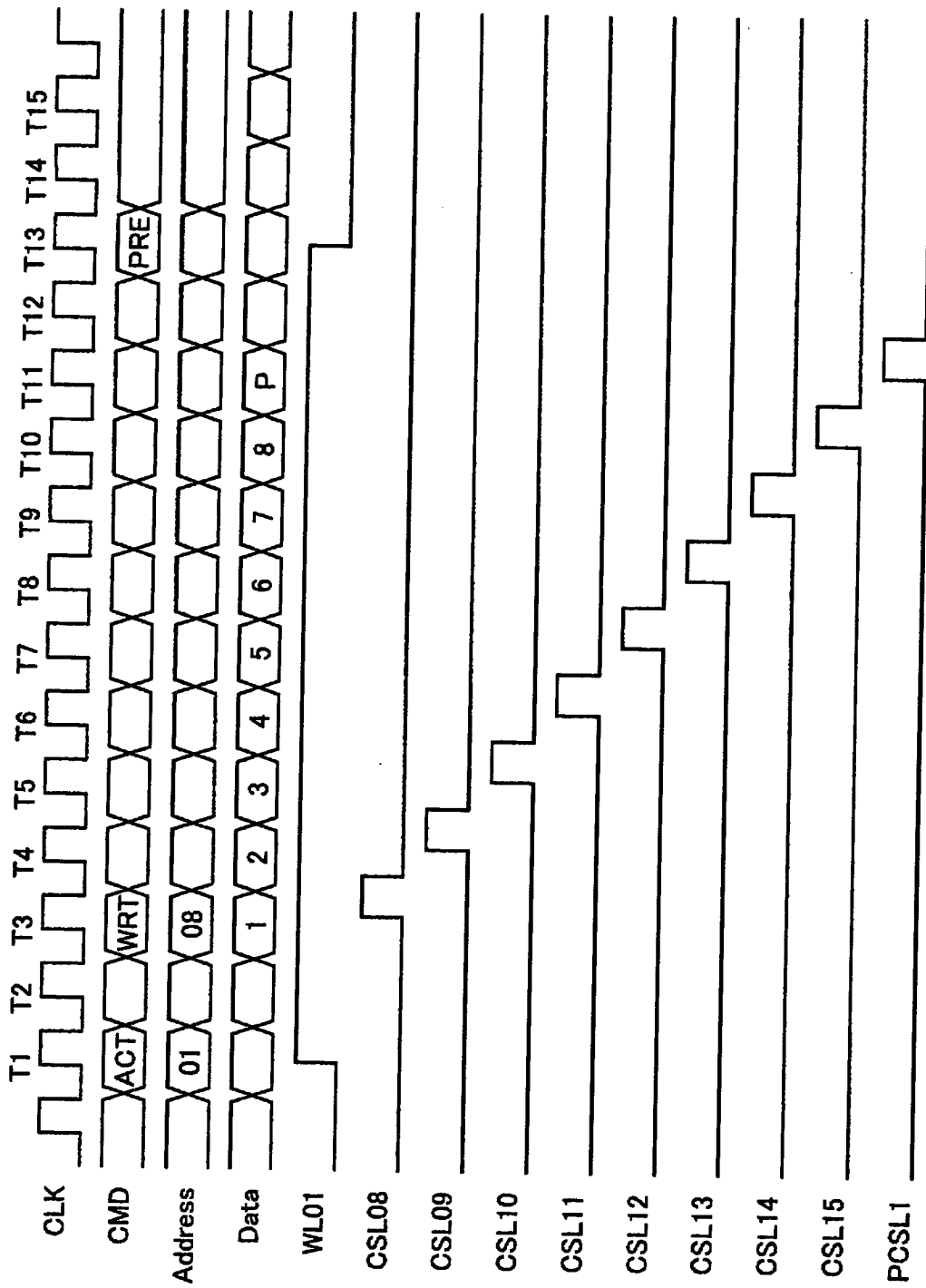
【図 4】



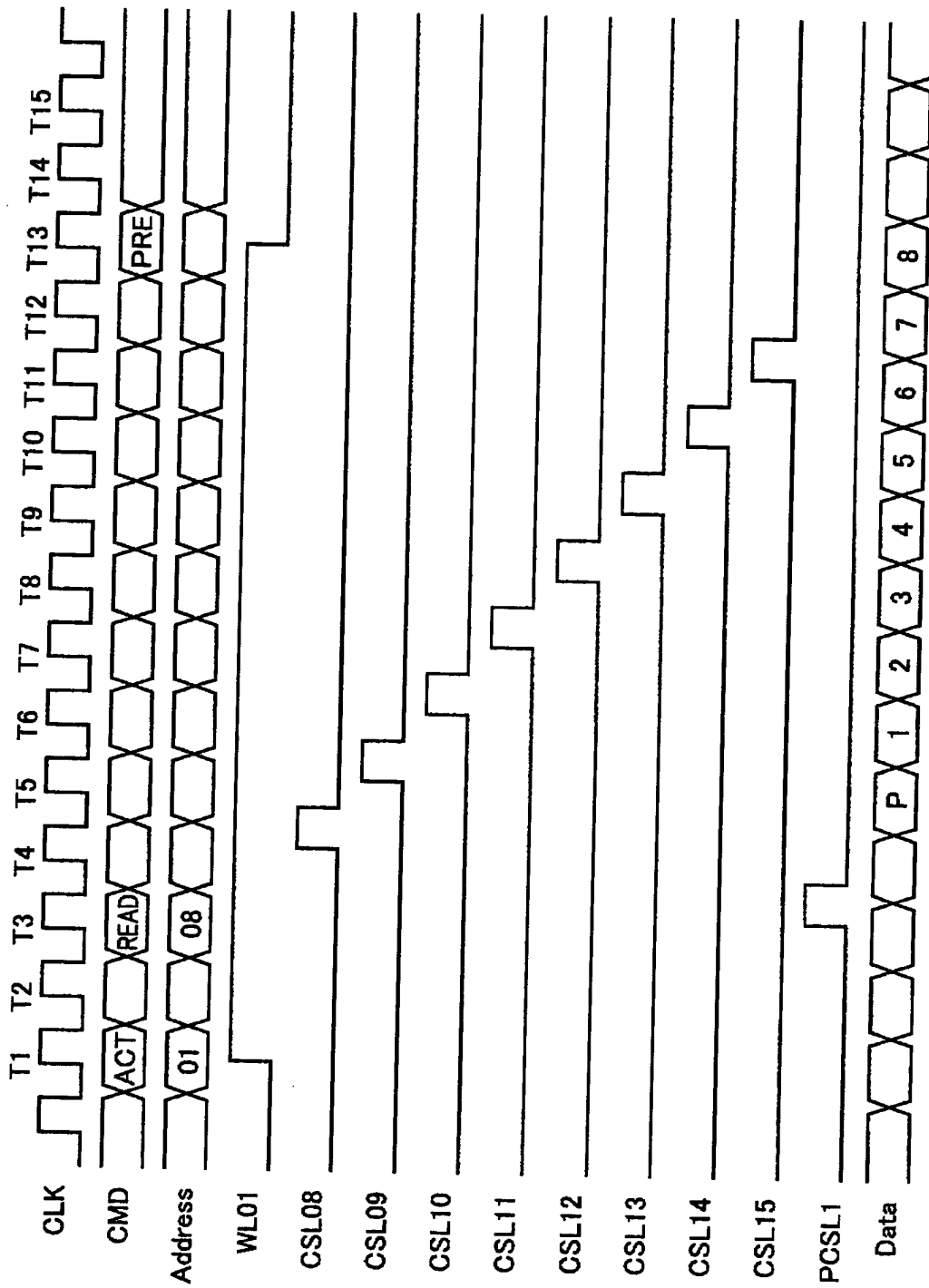
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 メモリバス幅を増加させることなく E C C 機能に対応した半導体記憶装置を提供すること。

【解決手段】 制御回路 5 1 は、メモリセルアレイ 5 2 に対するパリティデータの入出力が、メモリセルアレイ 5 2 に対するパリティデータに対応するデータの入出力のタイミングと異なるように、カラムデコーダ 5 4 およびパリティカラムデコーダ 5 5 を制御する。したがって、パリティデータの入出力用端子が不要となり、メモリバス幅を増加させることなく E C C 機能に対応させることが可能となる。

【選択図】 図 5

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社